

Part 2 技術動向

突破 30nm 製程瓶頸，為延續浮閘結構技術，全力加速開發氮化膜結構

為突破「2009年瓶頸」，生產 NAND 型 Flash 的各家廠商，均已開始加快腳步，開發 40~30nm 製程所需微細化技術。首先，如何將浮閘結構技術延續到 40nm 製程是第一挑戰，NAND 型大廠也已展開克服該項障礙的行動，為能順利朝 30nm 製程發展，開發浮閘結構的後續技術也蓄勢待發。若能順利跨越 40~30nm 製程之間的藩籬，生產 NAND 型的各家廠商，仍可望在大容量儲存市場，擁有持續成長的規模。

生產 NAND 型 Flash 的各家廠商，正加速 40~30nm 以下製程的微細化技術的開發腳步。目前大廠已進入 70nm 製程的量產階段，並計畫在 2006 年後半~2007 年，進入 50nm 的量產階段。2009 年左右欲正式進入量產階段的 40nm 製程技術，目前在微細化技術方面，面臨很大的挑戰(圖 1、圖 2)。迄今，韓國三星和東芝等 NAND 型大廠，已開始擬定明確的技術戰略，以突破 40nm 製程瓶頸。各家廠商莫不全力朝突破「2009年瓶頸」所在的微細化技術問題發展。

的基本戰略。電路單元的結構一旦改變，在開發時程和製造成本面須冒很大的風險。

一般的浮閘結構，在電路單元電晶體(cell transistor)的矽基板上，隔著 SiO₂ 穿隧氧化膜，形成一層多晶矽結構的電荷儲存層(浮閘)。在多晶矽層上，隔著一層由 SiN 夾在兩層 SiO₂ 材料之間所構成的 ONO(氧-氮-氧化物)絕緣膜，經向浮閘導通電壓所形成的電極(控制閘)。資料在寫入時，電路單元電晶體矽基板上的電子，受到外加在控制閘的電壓驅動，穿過穿隧氧化膜，注入浮閘。抹除資料之際，就把浮閘裡的電子趕到

40nm 製程面臨的三個微細化技術瓶頸

延續電路單元(cell)的浮閘結構，是各家廠商共同

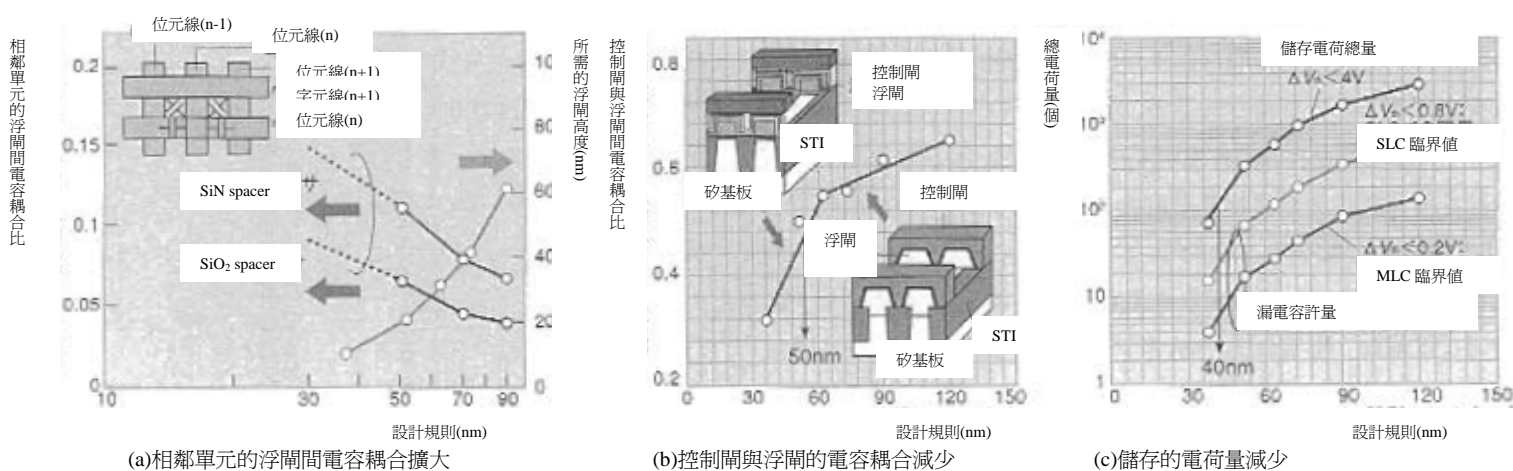


圖 1 ● 40nm 製程的微細化技術發展面臨三大挑戰
這三個問題分別是(a)相鄰單元的浮閘間電容耦合擴大，(b)控制閘與浮閘的電容耦合減少，(c)浮閘儲存的電荷量減少。資料來源：韓國三星公司

矽基板外側。讀取資料則利用感應散布在電路單元電晶體的電壓變化，在浮閘儲存電荷^{註1)}。

浮閘結構欲順利延續到 40nm 製程，將面臨三大技術挑戰(圖 1)。

第 1，相鄰單元的浮閘間產生電容耦合，散布在電路單元電晶體的電壓一旦變動，很容易就會造成讀取誤差。第 2，控制閘和浮閘的電容耦合減少，外加在控制閘的電壓，無法作用在電路單元電晶體上，造成資料無法寫入或抹除。第 3，浮閘可儲存的電荷量減少到數百個，只要有數個~數十個電荷漏失到矽基板邊上，就無法確保資料讀取時的電壓容限(margin)。

上述第 1 和第 2 項彼此之間是損益互抵的關係，這是最棘手的問題。為減低浮閘間的電容耦合，必須降低浮閘的背柵高度，減少浮閘間的面積。然而，浮閘的背柵高度減少，浮閘和控制閘的接觸面積就會減少。目前的浮閘結構，因增加該接觸面積呈現立體結構，即浮閘和控制閘在垂直方向也相互接觸。浮動閘變低，垂直面的接觸面積減少，導致控制閘與浮閘的電容耦合減少。

東芝評估引進 high-k 膜和量子結構

要能跨越以上的技術障礙，浮閘結構才有繼續擅場的空間，因此，進入 40nm 製程階段前，各家廠商均有意在現有電路單元上，引進新的材料和膜結構技術(圖 3)。如東芝公司即很重視容易微細化的電路單元單純結構，刻正評估這兩個領域的因應對策(圖 4)。因此，該公司對「讓浮閘結構不只可以延續至 40nm 製程，甚至進入 30nm 製程

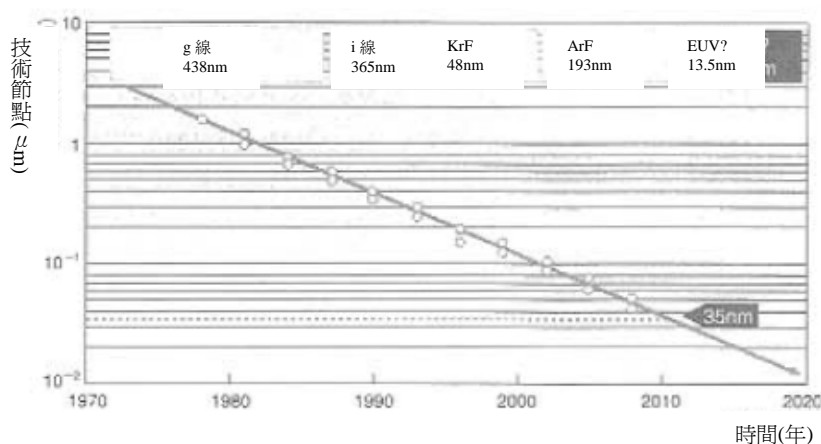


圖 2 ● 30nm 製程關鍵轉機為曝光技術
進入 40nm 製程，曝光技術已發展到成熟階段，但在 30nm 製程會如何發展則仍前途未卜。資料來源：韓國三星公司。

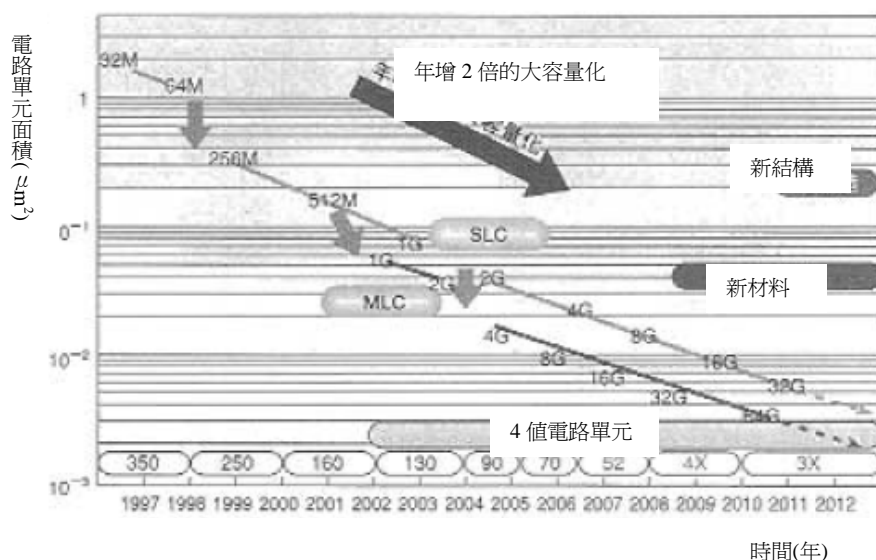


圖 3 ● 跨越技術障礙，NAND 型持續微細化趨勢
NAND 型將在 2008~2009 年進入 40nm 製程、在 2010~2011 年進入 30nm 製程的
量產階段。在這些製程中，將會在現有電路單元引進新的材料和膜結構技術。

也沒問題」(東芝半導體公司 記憶體事業部 Flash 事業戰略部 白田理一郎 主任) 有相當的自信。

第 1，是在控制閘和浮閘之間的絕緣層膜，引進高介電係數(high-k)材料。引進 high-k 膜可發揮兩大效用。首先是即便控制閘和浮閘的接觸面積小，也能維持充分電容耦合。於是不須為了增加側邊面積，而增加浮閘背柵高度，

註 1) 在控制閘外加電壓，源、汲極間電流導通的充放電壓值分別以“1”與“0”代表。